

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11251595 A**

(43) Date of publication of application: **17.09.99**

(51) Int. Cl

H01L 29/786

(21) Application number: **10368146**

(71) Applicant: **TEXAS INSTR INC <TI>**

(22) Date of filing: **24.12.98**

(72) Inventor: **MARK S RODDER**

(30) Priority: **23.12.97 US 97 68632**

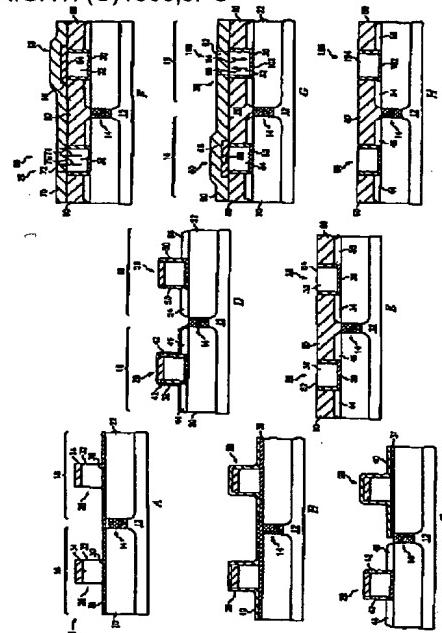
(54) METHOD FOR MANUFACTURING TRANSISTOR HAVING REPLACEMENT GATE STRUCTURE

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a transistor of extremely short gate length.

SOLUTION: This transistors is manufactured by separating a first region 16 of a semiconductor layer from a second region 18 of a semiconductor layer 12. A first throwaway gate structure 26 is able to contain a replaceable material so that the first throwaway gate structure 26 for first transistors is formed for coating the first region 16 of the semiconductor layer 12. A second throwaway gate structure 28 of a second complementary transistor is formed to coat a second region of the semiconductor layer 12. A replacement layer 7 is formed to coat the first throwaway gate structure 26. The replacement layer 70 is able to contain the replacement material. At least a part of the replaceable material of the first throwaway gate structure 26 is replaced with the replacement material of the replacement layer 70 to form a first gate structure 80.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-251595

(43)公開日 平成11年(1999)9月17日

(51)Int.Cl.
H01L 29/786

識別記号

F I
H01L 29/78

617J

審査請求 未請求 請求項の数1 OL (全12頁)

(21)出願番号 特願平10-368146

(22)出願日 平成10年(1998)12月24日

(31)優先権主張番号 068632

(32)優先日 1997年12月23日

(33)優先権主張国 米国(US)

(71)出願人 590000879

テキサス インスツルメンツ インコーポ
レイテッド

アメリカ合衆国テキサス州ダラス、ノース
セントラルエクスプレスウェイ 13500

(72)発明者 マーク エス. ロッダー

アメリカ合衆国 テキサス州ユニバーシテ
ィ パーク、パーデュー ストリート
3317

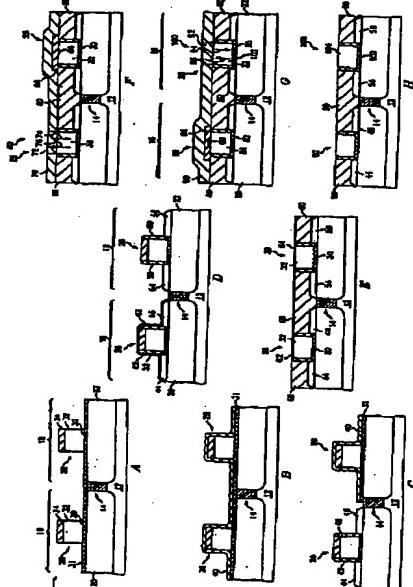
(74)代理人 弁理士 浅村皓(外3名)

(54)【発明の名称】 置換ゲート構造を有するトランジスタの製造方法

(57)【要約】

【課題】 極短ゲート長のトランジスタ作製方法を提供する。

【解決手段】 本トランジスタは、半導体層の第1領域(16)を半導体層(12)の第2領域(18)から分離することによって作製される。第1トランジスタ用の第1の使い捨てゲート構造が、半導体層(12)の第1領域(16)を覆って形成されるよう。第1の使い捨てゲート構造(26)は置換可能材料を含むことができる。半導体層(12)の第2領域を覆って第2の相補型トランジスタの第2の使い捨てゲート構造(28)が形成される。第1の使い捨てゲート構造(26)を覆って置換層(70)が形成される。置換層(70)は置換材料を含むことができる。第1の使い捨てゲート構造(26)の置換可能材料の少なくとも一部分が置換層(70)の置換材料で以て置き換えられて、第1ゲート構造(80)が形成される。



1

【特許請求の範囲】

【請求項1】 半導体デバイスを作製する方法であつて、半導体層の第1領域を、前記半導体層の第2領域から分離する工程、前記半導体層の前記第1領域を覆って、第1トランジスタ用の、置換可能材料を含む第1の使い捨てゲート構造を形成する工程、前記半導体層の前記第2領域を覆って、第2トランジスタ用の第2の使い捨てゲート構造を形成する工程、前記第1の使い捨てゲート構造を覆って、置換材料を含む置換層を形成する工程、および前記第1の使い捨てゲート構造の前記置換可能材料の少なくとも一部分を、前記置換層の前記置換材料で以て置き換えて、第1ゲート構造を形成する工程、を含む方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般に半導体デバイス分野に関するものであつて、更に詳細には置換形成されたゲート構造を有するトランジスタとその製造方法とに関する。

【0002】

【従来の技術】テレビ、電話、ラジオ、およびコンピュータといった最近の電子機器は固体デバイスで構成されるのが一般的である。電子機器において固体デバイスが好ましいのは、それらが非常に小さく、また比較的安価であるためである。更に、固体デバイスは可動部分を持たず、電荷キャリアの運動に基づいていため非常に信頼性が高い。

【0003】固体デバイスには、トランジスタ、コンデンサ、抵抗、および同様な部品が含まれる。トランジスタの1つのタイプに相補型金属酸化物半導体(CMOS)トランジスタがある。CMOSトランジスタは、互いに逆のタイプの一対のトランジスタが一緒に用いられるものである。CMOSトランジスタは低消費電力の論理回路、および同様な回路に用いられよう。

【0004】CMOSトランジスタのゲートは中性の材料で構成され、後でn形およびp形など、互いに逆のタイプにドープされるのが普通である。中性のゲート材料は、いずれのタイプのゲートに対しても特性に悪影響を及ぼさないと見られる材料とするのが普通である。この結果、ゲート材料は必ずしも各タイプのゲートに特に適したものとなっていない。

【0005】

【発明の解決しようとする課題】CMOSトランジスタのゲートは使い捨てゲート技術(disposable gate technology)を用いて構築されよう。その技術によれば、使い捨てゲート誘電体およびまたはゲート母体が形成され、後に除去される。次に、使い捨てゲート誘電体およびまたはゲート母体を除去

2

したスロット中に新しいゲート誘電体および/またはゲート母体が形成される。しかし、ゲート誘電体を改修することは、一般に、もし熱的手段を使って改修を行えばゲート誘電体の厚さの問題に、また堆積法によってゲート誘電体を形成すればスロット幅の拡大問題に、更に/あるいは極端に狭いスロット寸法の場合には均一性の問題につながる。

【0006】従って、当該分野において、進歩した相補型金属酸化物半導体(CMOS)およびその他のタイプのトランジスタに対する需要が生ずる。本発明は、従来のトランジスタに付随する欠点および問題点を本質的に解消または低減する、置換形成されたゲート構造を有するトランジスタおよびその製造方法を提供する。

【0007】

【課題を解決するための手段】本発明に従えば、半導体デバイスは半導体層の第1領域を前記半導体層の第2領域から分離することによって作製されよう。第1トランジスタの第1の使い捨てゲート構造が前記半導体層の前記第1領域を覆って形成されよう。この第1の使い捨てゲート構造は置換可能材料を含むことができる。第2トランジスタの第2の使い捨てゲート構造が前記半導体層の前記第2領域を覆って形成されよう。前記第1の使い捨てゲート構造を覆って置換層が形成されよう。この置換層は置換材料を含むことができる。前記第1の使い捨てゲート構造の置換可能材料の少なくとも一部が、前記置換層の置換材料で以て置き換えられて第1ゲート構造が形成されよう。

【0008】更に詳細には、本発明の一実施例に従えば、置換および置換可能材料を熱的にアニールすることにより、置換可能材料を置換材料で以て置き換えることができる。この実施例では、置換および置換可能材料は、攝氏約400-500度で約15ないし90分間、熱的にアニールされよう。これらおよびその他の実施例で、置換材料は置換可能材料のすべて、あるいは本質的にすべてと置き換えられよう。

【0009】前記第1および第2領域を覆って平坦化層が形成されて、前記第1および第2の使い捨てゲート構造の少なくとも一部分が露出される。一実施例では、前記第2の使い捨てゲート構造の露出部を覆ってキャップが形成されよう。この実施例では、置換層は、平坦化層、第1の使い捨てゲート構造の露出部分、およびキャップを覆って置換層を堆積させることによって形成することができる。別の実施例では、置換層は、第1および第2の使い捨てゲート構造の露出部分を覆って形成されよう。この実施例では、この置換層は、バーニングおよびエッチされて、第2の使い捨てゲート構造の露出部分が再露出されよう。

【0010】本発明の特別な実施例に従えば、第2の使い捨てゲート構造は第2置換可能材料を含むことができる。この実施例では、第2置換材料を含む第2置換層が

第2の使い捨てゲート構造を覆って形成されよう。第2の使い捨てゲート構造の第2置換可能材料の少なくとも一部分は第2置換材料で以て置き換えられて第2ゲート構造が形成されよう。第1および第2置換可能材料は同じ材料を含むことができ、また第1および第2置換材料は同じ材料を含むことも、あるいは異なる材料を含むこともできる。

【0011】本発明の特別な実施例では、第1ゲート構造の第1ゲート母体は第1の材料を含むことができる。第2ゲート構造の第2ゲート母体は、第2の、異種の材料を含むことができる。この実施例では、第1の材料は独創的な置換可能材料であり、シリコン、シリコン・ゲルマニウム、および同様な材料を部分的に含む多結晶材料を含むことができ、p形にドープされよう。第2の材料は、第1の材料に置き換わることのできる、アルミニウムあるいはその他適当な材料を含むことができる。

【0012】本発明の別の特別な実施例では、第1ゲート構造の第1ゲート母体は、第1の材料を含むことができる。第2ゲート構造の第2ゲート母体は第2の、異種の材料を含むことができる。この実施例では、第1の材料は独創的な置換可能材料であり、シリコン、シリコン・ゲルマニウム、および同様な材料を部分的に含む多結晶材料を含むことができ、n形にドープされよう。第2の材料は、第1の材料に置き換わることのできる、アルミニウムあるいはその他適当な材料を含むことができる。

【0013】本発明の重要な技術的特徴には、トランジスタゲート構造を形成する進歩した方法を提供することが含まれる。特に、ゲート母体は、使い捨てゲートの置換可能材料を置換材料で以て置き換えることによって形成されよう。従って、トランジスタのゲート母体およびその他の構造は、従来使い捨てゲート技術で用いられているバターニングおよび／またはエッティング工程なしで形成できる。

【0014】本発明の別の技術的特徴は、進歩したトランジスタを供給することである。特に、ゲート誘電体を置換および／または損傷を与えることなしに、使い捨てゲートが置換できる。従って、本トランジスタはゲート誘電体を置換することに付随する問題点、例えば、厚さ、スロット幅の拡大、あるいは極端に狭い寸法での不均一性の問題で悩まされることがない。更に、結果のゲート構造は好ましい仕事関数、シート抵抗値、および低ゲート空乏化特性(depletion)を備えている。

【0015】その他の技術的特徴は、以下の図面、説明、および開示から、当業者には容易に明らかとなろう。

【0016】本発明およびその特徴をより完全に理解するために、図面と一緒に以下の説明を参照されたい。図面において、同様な部品を指すために同じ参照符号が用いられている。

【0017】

【発明の実施の形態】本発明の好適実施例およびその特徴は、ここで図面1A-Hを詳細に参照することによって最もよく理解できる。図面では、同様な部品に対して同じ参照符号が付されている。図1A-Hは、置換形成されたゲート構造を有する相補型金属酸化物半導体(CMOS)電界効果トランジスタ(FET)の製造を示している。以下でより詳細に説明するように、使い捨てゲート構造の少なくとも一部分が置き換えられて、ゲート構造が形成される。従って、この使い捨てゲート構造は伝統的な使い捨てゲート技術に従ってバターニングおよび／またはエッチされる必要がない。そのようなバターニングおよびエッティングはゲート誘電体に対して損傷を与える可能性があり、ゲート誘電体の置換を必要とし、そのため、製造プロセス中に、スロット幅の拡大、均一性、および厚さの問題が生ずる。更に、本発明の置換ゲート技術は、好ましい仕事関数、シート抵抗値、および低ゲート空乏化を有するゲート構造を可能とする。

【0018】

20 【実施例】図1Aは、本発明の一実施例に従う相補型トランジスタを構築するための初期の半導体構造10を示す。この相補型トランジスタは、ディープ・サブミクロン、十分の一ミクロン、およびそれ以下のゲート長のものとすることができます。本発明のスコープから外れることなしに、この相補型トランジスタがその他の寸法のものであることも可能であることは理解されよう。更に、本発明のスコープから外れることなしに、非相補型のトランジスタを使用することも可能であることは理解されよう。

30 【0019】初期の半導体構造10は半導体層12を含むことができる。半導体層12はウエハのような基板でよい。この実施例で、半導体層12は単結晶シリコン材料を含むことができる。半導体層12は、基板上に形成された半導体材料の層であってもよいことも理解されよう。例えば、半導体層12は、ウエハ上へ成長させたエピタキシャル層、絶縁体上半導体(SOI)系、および同様な層でもよい。

40 【0020】以下に詳細に述べる一実施例では、第1トランジスタがp形トランジスタを含み、第2トランジスタがn形トランジスタを含む。この実施例では、第1領域16は半導体層12中に形成されたn形ウェル20を含み、第2領域18は半導体層12中に形成されたp形ウェル22を含むことができる。n形ウェル20は、リン、砒素、あるいはアンチモンのようなn形ドーパントをドープした、半導体層12の単結晶シリコン材料を含むことができる。p形ウェル22はホウ素等のp形ドーパントをドープした、半導体層12の単結晶シリコン材料を含むことができる。本発明のスコープから外れることなしに、その他のタイプのトランジスタを作製できることを理解されよう。例えば、これらのトランジスタが

両方ともにp形トランジスタ、あるいはn形トランジスタでもよい。更に、本発明のスコープから外れることなしに、半導体層12がその他の材料を含んだり、その他のようにドープされたりできることを理解されよう。

【0021】半導体層12中に分離構造14を形成することができる。分離構造14は半導体層12を第1領域16と第2領域18とに分離する。サブミクロン応用に対しては、分離構造14は浅いトレンチ分離構造を含むことができる。本発明のスコープから外れることなしに、その他のタイプの分離構造を使用できることを理解されよう。

【0022】半導体層12の第1領域16を覆って第1の使い捨てゲート構造26が形成されよう。同様に、半導体層12の第2領域18を覆って第2の使い捨てゲート構造28が形成されよう。ゲート構造26および28は、1個または複数個のゲートを後で置換される点で使い捨てである。しかし、使い捨てゲート構造26または28はゲート構造として残すこともできる。

【0023】一実施例では、第1および第2の使い捨てゲート構造26および28は、同じ処理工程によって形成して、同じ材料を含むようにもできる。この実施例では、第1および第2の使い捨てゲート構造26および28は、それぞれ、バッファ区分30、置換可能区分32、およびキャップ区分34を含むことができる。以下でより詳しく述べるように、置換可能区分32は、使い捨てゲート構造26および/または28が置き換えられてゲート構造を形成することを許容する。バッファ区分30は、置換可能区分32の置き換えの間に半導体層12の置換を防止するために、置換可能区分32と半導体層12との間に取り付けられる。キャップ区分34は、以降の相補型トランジスタのソースおよびドレインを形成する処理工程において、置換可能区分32の成長、サリサイド化、またはその他の加工を防止するために、置換可能区分32を覆って取り付けられる。以下に述べるように、もし使い捨てゲート構造を置換しなければ、キャップ区分34は、ゲート母体となるはずの置換可能区分32のサリサイド化を許容するようにしてよい。これは、ソースおよびドレインのサリサイド化の間、または製造プロセスの他の工程において、未キャップのゲートが被覆(c1a d)されることを許容する。従って、第1領域のゲートが置き換えられ、第2領域のゲートが置き換えられない集積回路では、第2領域のゲートをキャップせずに、第2領域のゲートのサリサイド化を許容することになろう。そのような集積回路では、回路の一部分において低いゲート・シート抵抗値を有するnMOSおよび/またはpMOSが使用されており、そこではスレッシュホールド電圧が低いゲートシート抵抗値を達成することほどに重要ではなく、他方、この回路の別の部分では最初のゲート材料を変更せずに容易に作製でき、回路のこの部分は、ゲートの抵抗値よりもむしろト

ランジスタ駆動電流に対するゲート容量の比に比例するゲート遅延によって支配されることになろう。

【0024】一実施例では、バッファ区分30はトランジスタの一方または両方のゲート誘電体を含むことができる。この実施例では、バッファ区分30は酸化物窒化物複合材料、窒化物、酸化物、または同様な物質を含むことができる。この実施例およびその他の実施例において、バッファ区分30は半導体層12を覆って形成されたバッファ層31の一部でよい。バッファ層31は使い捨てゲート構造26および28を形成する時のエッチストップとして働く。

【0025】一実施例では、置換可能区分32はトランジスタの一方のゲート母体を含むことができる。この実施例では、置換可能区分32は、置換可能区分32がp形トランジスタのゲート母体を形成する場所においては、ホウ素等のp形ドーピングあるいは打ち込みドープした、多結晶シリコン、シリコン・ゲルマニウム、および同様な物質を含むことができ、また置換可能区分32がn形トランジスタのゲート母体を形成する場所では、砒素やリン等のp形ドーピングをその場、または打ち込みドープした同じ材料を含むことができる。別の実施例では、両トランジスタの置換可能区分32が置き換えられてトランジスタのゲート母体が形成される。この実施例でも、置換可能区分32は多結晶シリコン、シリコン・ゲルマニウム、および同様な物質を含むことができる。バッファ区分30の材料は、バッファ区分30が置換可能区分32の置き換えに対するストップとして働くことを許容するために置換可能区分32に関連して使用された置換材料によって置き換えられるべきでない。キャップ区分34は酸化物等の誘電体を含むことができる。本発明のスコープから外れることなしに、バッファ区分30、置換可能区分32、およびキャップ区分34はその他の材料を含むことができることを理解されよう。更に、本発明のスコープから外れることなしに、使い捨てゲート構造26および28はその他の材料および/または層を含むことができることを理解されよう。

【0026】図1Bを参照すると、第1および第2領域16および18を覆って絶縁層40が形成される。絶縁層40の形成に先立って側壁の再酸化を実行してもよい。再酸化によって、使い捨てゲート構造26および28の形成時にエッチされ、置換可能区分32の端部に沿って成長するバッファ区分30の端部が再構築されよう。

【0027】一実施例では、絶縁層40は、半導体層12および使い捨てゲート構造26および28を覆って堆積させることができる。この実施例では、絶縁層40はバッファ層31および使い捨てゲート構造26および28を覆って堆積させることができる。絶縁層40は酸化物層、窒化物層、または同様な物質の層を含むことができる

きる。絶縁層40は50-150オングストロームの厚さでよい。本発明のスコープから外れることなしに、絶縁層40は半導体要素を絶縁できる、その他の材料および厚さを含むことができることを理解されよう。

【0028】図1Cを参照すると、第1領域16を覆う絶縁層40の部分が除去されて、第1の使い捨てゲート構造26の周りに第1側壁絶縁体42が残される。一実施例では、このことは、第2領域18を覆う絶縁層40の部分をマスクして、第1領域16を覆う絶縁層40を異方性エッチすることによって実行される。本発明のスコープから外れることなしに、第1側壁絶縁体42はその他のやり方で形成できることを理解されよう。第1領域16を覆うバッファ層31の部分もまた除去されて、第1領域16中の半導体層12が露出される。一実施例では、第1領域16を覆うバッファ層31の部分は、第1領域16を覆う絶縁層40の部分を除去するために用いられた異方性エッチングによって除去されよう。

【0029】次に、第1トランジスタ用のソース44およびドレイン46が形成されよう。一実施例では、図1Cに示されるように、ソース44およびドレイン46は持ち上げることができる。この実施例では、持ち上がったソース44およびドレイン46は、使い捨てゲート構造26に隣接する半導体層12の第1領域16を覆って形成されたシリコンまたはシリコン・ゲルマニウムのドープされたエピタキシャル層を含むことができる。好ましくは、持ち上がったソース44およびドレイン46は適当な堆積手法によってその場ドープされる。あるいは、ソース44およびドレイン46は堆積後に打ち込み等の手段によってドープすることもできる。

【0030】半導体層12の第1領域16中に形成されるp形トランジスタ用として、エピタキシャルシリコン層はホウ素等のp形ドーパントをドープされよう。あるいは、エピタキシャルシリコン層はn形ドーパント上のp+ドーパントを含む二重ドーパントでドープすることもできる。本発明のスコープから外れることなしに、ソース44およびドレイン46はその他のドーパントを含むことができることを理解されよう。更に、本発明のスコープから外れることなしに、ソース44およびドレイン46はその他の方法で形成できることを理解されよう。

【0031】図1Dを参照すると、第2領域18を覆う絶縁層40の部分が除去されて、第2の使い捨てゲート構造28の周りに第2側壁絶縁体50が残される。既に述べたように、このことは第2領域18を覆う絶縁層40の異方性エッチングによって実行されよう。本発明のスコープから外れることなしに、第2側壁絶縁体50はその他のやり方で形成できることを理解されよう。第2領域18を覆うバッファ層31の部分もまた除去されて、第2領域18中の半導体層12が露出される。一実施例では、この部分は、第2領域18を覆う絶縁層40

の部分を除去するために用いられた異方性エッチングによって除去することができる。

【0032】半導体層12を覆ってマスク層52が堆積されよう。マスク層52は、第1トランジスタ用ソース44およびドレイン46等の、既に形成されている構造を保護して、第2トランジスタのソースおよびドレンを形成するプロセスを続けるために用いられる。一実施例では、マスク層52は、第1トランジスタの、第1の使い捨てゲート構造16、第1側壁絶縁体42、ソース

10 44、およびドレイン46を覆うことができる。この実施例で、マスク層52は半導体層12を覆って堆積され、第2領域18からエッチして除去されよう。マスク材料の一部分(図示されていない)を、第2トランジスタの第2側壁絶縁体50上に残してもよい。本発明のスコープから外れることなしに、マスク層52はその他のやり方で形成できることを理解されよう。例えば、マスク層52は第2領域18中の絶縁層40およびバッファ層31の除去に先立って堆積することができ、また第2領域18からマスク層52、絶縁層40、およびバッファ層31を同時に除去するために異方性エッチすることもできる。

【0033】マスク層52は窒化物層を含むことができる。この実施例では、窒化物層は約50-100オングストロームの厚さでよい。本発明のスコープから外れることなしに、マスク層52はエピタキシャル成長によらないその他の材料を含むことができることを理解されよう。

【0034】次に、第2トランジスタ用のソース54およびドレイン56が形成されよう。一実施例では、図1Eに示されるように、ソース54およびドレイン56を持ち上げることができる。既に第1トランジスタの持ち上がったソース44およびドレイン46に関連して述べたように、持ち上がったソース54およびドレイン56は、使い捨てゲート28に隣接する半導体層12の第2領域18を覆って形成された、シリコンまたはシリコン・ゲルマニウムのドープされたエピタキシャル層を含むことができる。好ましくは、持ち上がったソース54およびドレイン56は適当な堆積手段によってその場ドープされる。あるいは、ソース54およびドレイン56は堆積後に打ち込み等の手段でドープすることができる。

【0035】半導体層12の第2領域18中に形成されるn形トランジスタに対しては、エピタキシャルシリコン層はリン、砒素、あるいはアンチモン等のn形ドーパントで以てドープされよう。あるいはエピタキシャルシリコン層はp形ドーパント上のn+ドーパントを含む二重ドーパントで以てドープされよう。本発明のスコープから外れることなしに、第2トランジスタのソース54およびドレイン56はその他のやり方で形成できることを理解されよう。

50 【0036】この時点でマスク層52が除去されよう。

一実施例では、マスク層52は従来の異方性エッチングによって除去されよう。マスク材料の一部分（図示されていない）は第1トランジスタの第1側壁絶縁体42上に残してもよい。本発明のスコープから外れることなしに、マスク層52はその他のやり方で除去できることを理解されよう。

【0037】マスク層52を除去した後で、持ち上がったソース44、54およびドレイン46、56は更に処理が続けられる。例えば、單一または二重ドープのソースおよびドレインの実施例では、ソース44、54およびドレイン46、56は高速熱アニール（RTA）にさらされて、所望のゲートとソースおよびドレインとの重なりに依存して、ドーパントを拡散させることができよう。本発明のスコープから外れることなしに、持ち上がったソース44、54およびドレイン46、56はその他のやり方で処理できることを理解されよう。

【0038】ソース44、54およびドレイン46、56は、これも被覆することができる。この被覆は、持ち上がったソース44、54およびドレイン46、56の一部分を覆う金属層の形成またはサリサイド化の手段によって、持ち上がったソース44、54およびドレイン46、56を覆う低抵抗材料を形成する。未キャップのゲート構造も、ソース44、54およびドレイン46、56と一緒に被覆されよう。第1および/または第2トランジスタのゲート構造の置換に先立つこの段階での被覆は、置換ゲート構造がさらされる熱処理を減らす効果を持つ。

【0039】図1Eを参照すると、半導体層12の第1領域16および第2領域18を覆って平坦化層60が形成されよう。平坦化層60は第1の使い捨てゲート構造26の一部62と、第2の使い捨てゲート構造28の一部64とを露出する。もし未キャップのゲート構造が既にサリサイド化されていれば、ゲート構造は平坦化層によって露出されることはない（図示されていない）。一実施例では、平坦化層60は直接的に半導体構造上へ堆積されて、第1および第2の使い捨てゲート構造26および28の置換可能区分32を露出するように平坦化されよう。この実施例では、平坦化層60は本質的にキャップ区分34のレベルあるいはそれ以上にまで堆積されて、次に、容易に置換可能な区分32のレベルにまで平坦化されよう。本発明のスコープから外れることなしに、平坦化層60はその他のやり方で形成できることを理解されよう。

【0040】一実施例では、平坦化層60は酸化物を含むことができる。この実施例では、平坦化層60は化学的堆積（CVD）プロセスによって堆積することができ、化学的・機械的研磨（CMP）、エッチバック、および同様な方法によって平坦化できる。本発明のスコープから外れることなしに、平坦化層60はその他の材料を含むことができ、またその他のやり方によって堆積、

平坦化および/またはエッチして、第1および第2の使い捨てゲート構造26および28の部分を露出できることを理解されよう。もしサリサイド化ゲート構造が平坦化層によって露出されるのでなければ、ゲート構造は、酸化物層と比べてCMPでの除去がより難しい窒化物層などの手段によって保護されよう。

【0041】処理のこの時点で、使い捨てゲート構造26および28が露出した状態で、もし置き換えるつもりがなく、またもし上で述べたように、ソース44、54

10 およびドレイン46、56と既にサリサイド化していないれば、ゲート構造を覆ってゲートサリサイドが形成されよう。一実施例に従えば、pMOSトランジスタのゲートは置き換えられることなく、またnMOSトランジスタのゲートが置き換えられよう。この実施例では、nMOSトランジスタのゲートを覆ってキャップが形成され（図示されていない）、pMOSトランジスタのゲートを覆ってチタン等のシリサイド材料が堆積され反応させられて、pMOSトランジスタのゲート上部に金属被覆が形成されるが、置換可能ゲート構造を完全に置換することはない。別の実施例では、nMOSトランジスタのゲートが覆われた後で、pMOSトランジスタのゲートを、pMOSトランジスタの置換可能材料の露出領域のみを覆って成長する選択的なチタンシリサイド（TiSi_x）等の金属被覆材料の自己整合的なエピタキシャル堆積によって金属被覆することができる。この間の、あるいはその他の処理工程での、pMOSトランジスタまたはその他のトランジスタのゲートサリサイド化は、トランジスタのシート抵抗値を下げる。

【0042】図1Fを参照すると、第2の使い捨てゲート28の露出部分64を覆ってキャップ66が形成されよう。一実施例では、キャップ66は、酸化物、窒化物、あるいは第1の使い捨てゲート26の置き換えの間に第2の使い捨てゲート28を保護することのできるその他の材料を含むことができる。従って、以下で詳しく説明するように、キャップ66によって保護された第2の使い捨てゲート構造28を置換することなしに、第1の使い捨てゲート構造26を置き換えることができる。窒化物の実施例では、キャップ66は50-500オングストロームの厚さでよい。本発明のスコープから外れることなしに、キャップ66はその他のやり方で形成および/または構成できることを理解されよう。

【0043】以下で詳細に述べるように、次に、第1の使い捨てゲート26を覆って置換層70が形成されよう。置換層70は第1の使い捨てゲート26の置換可能区分32の置換可能材料を置き換えることのできる置換材料を含むことができる。従って、置換可能材料は第1トランジスタのゲート材料となろう。p形およびn形トランジスタに対して、置換材料は、アルミニウム、アルミニウム・チタン等の複合材料、あるいはその他置換可能材料を置き換えることのできる適当な材料を含むこと

ができる。アルミニウム材料は、その仕事関数、シート抵抗値、および低ゲート空乏化特性のために、n形トランジスタ用として特に好適である。他の仕事関数、シート抵抗値、およびゲート空乏化特性を有する置換材料はp形トランジスタ用として好適であろう。p形およびn形トランジスタは、第1の使い捨てゲート26の置換可能区分32の置換可能材料の代わりに置き換わることのできる別の置換材料を含むことができることを理解されよう。

【0044】一実施例では、置換層70は、平坦化層60、第1の使い捨てゲート26、およびキャップ66を覆って堆積されよう。置換層70は、1,500-2,500オングストロームの置換可能区分厚さに対して、2,000-4,000オングストロームの厚さに堆積されよう。アルミニウム・チタン複合材料に関しては、置換層は1,500-2,000オングストローム厚のアルミニウム層とそれを覆う500-1,500オングストローム厚のチタン層とである。本発明のスコープから外れることなしに、置換層70は、第1の使い捨てゲート26の除去可能区分32の所望部分と置き換わるのに十分な置換材料を含むその他の厚さに堆積できることを理解されよう。

【0045】もし第2の使い捨てゲート28を覆ってキャップ66が使用されなければ、置換層70をバターニングおよびエッチして、第2の使い捨てゲート28の露出部分64が再露出されよう。従って、第1の使い捨てゲート26の除去可能区分32の置き換えの間に、置換層70の置換材料は第2の使い捨てゲート28と相互作用しない。特別な実施例では、置換層70はバターニングおよびエッチされて、本質的に第1の使い捨てゲート26のみを覆う部分72が残される。本発明のスコープから外れることなしに、置換層70は、第1および第2の使い捨てゲート26および28に対してその他の形状に構成できることを理解されよう。

【0046】置き換え処理の間に、置換材料は矢印74で示されるようにゲートまで移動して、置換可能材料は矢印76で示されるように被覆層まで移動する。置換可能材料は、置換材料によって完全に、または部分的に置き換えられて、第1ゲート構造80が形成されよう。好ましくは、置換可能材料は、完全にまたは少なくとも本質的に置換材料によって置き換えられる。

【0047】一実施例では、置換可能材料と置換材料との置き換わりを加速するために、置換および置換可能材料が熱的にアニールされよう。特別な実施例では、置換および置換可能材料は摄氏約400-500度の範囲で、約15ないし90分間、熱的にアニールされよう。本発明のスコープから外れることなしに、置換および置換可能材料はその他のやり方で熱的にアニールできることを理解されよう。

【0048】従って、一般に使い捨てゲート技術に付随

するバターニングおよびエッチングなしに、第1ゲート構造80が形成されることになる。この結果、ゲート誘電体は損傷を受けず、置き換える必要はない。このように、ゲート誘電体を再成長させたり、改修したりすることに付随して発生する問題、例えば、厚さ、均一性、およびスロット幅の拡大といった問題を回避することができる。更に、第1ゲート構造80は、好ましい仕事関数、シート抵抗値、および低ゲート空乏化特性を備えた材料を含むことができる。

- 10 【0049】置換可能材料の場所へ置換材料を置き換えた後で、置換層70まで移動している置き換えられた置換可能材料は除去されよう。一実施例では、この半導体構造は、置き換えられた置換可能材料およびキャップ66と一緒に、残りの置換層70を除去するように平坦化されよう。この実施例では、半導体構造は化学的・機械的研磨(CMP)、または同様な方法によって平坦化されよう。本発明のスコープから外れることなしに、残りの置換層70、置き換えられた材料、およびキャップ66はその他のやり方で除去できることを理解されよう。
- 20 【0050】図1Gを参照すると、ゲート構造80は、バッファ区分30によって形成されるゲート誘電体82と、置換材料を含むゲート母体84とを含むことができる。本発明のスコープから外れることなしに、ゲート構造80はその他の形状に構成できることを理解されよう。
- 30 【0051】一実施例では、ゲート母体84は、エッチされてT型ゲートに、および/または平坦化されて非T型ゲートに形成されよう。非T型ゲート上への選択的エピタキシャル堆積等の方法は、エピタキシャル的なオーバーグロース(overgrowth)によるT型ゲートの形成を実現できる。ゲート母体84は、p形の第1トランジスタの動作を最大化するように選ばれた材料を含むことができる。一実施例では、ゲート母体84は金属的な材料を含むことができる。本発明のスコープから外れることなしに、ゲート母体84はその他適当な材料を含むことができることを理解されよう。
- 40 【0052】容易にエッチ可能な区分32がn形のゲート材料を部分的に含んでいる実施例では、第2の使い捨てゲート構造28は第2トランジスタのゲート構造を含んでおり、除去して置き換える必要はない。この実施例では、第2の使い捨てゲート構造28はサリサイド化構造を含むことができる。上で述べたように、サリサイド化に伴う高温のために溶融したり、その他第1ゲート構造80に対して悪影響が及んだりしないように、第1ゲート構造26の置き換えの前にサリサイド化が実行されよう。こうすることで、トランジスタは独立的に形成されたゲート構造80および28を含むことができる。独立して形成されたゲート構造は、各々がその中で用いられているトランジスタのタイプに適した異種の材料を含むことができる。容易にエッチ可能な区分32がp形材
- 50

料を部分的に含んでいる実施例では、第1の使い捨てゲート構造26がキャップされて、上で使い捨てゲート構造26に関して既に説明したように、第2の使い捨てゲート構造28が除去および置換されよう。このように、第1および第2トランジスタをそれぞれp形およびn形と指定したことは説明の便宜上のためであって、本発明の範囲を限定するものではない。例えば、トランジスタは非相補型トランジスタでも構わない。

【0053】第2の使い捨てゲート構造28が置き換える実施例では、第1ゲート構造80の露出部分88を覆ってキャップ86が形成されよう。一実施例では、第1ゲート構造80の露出部分88はゲート母体84の上部でよい。一実施例では、キャップ86は酸化物、窒化物、その他第2の使い捨てゲート28の置き換え中に第1ゲート構造80を保護できる材料を含むことができる。従って、以下で詳しく説明するように、第2の使い捨てゲート構造28は、キャップ86によって保護された第1ゲート構造80を置き換えることなく、あるいはそれに対して悪影響を及ぼすことなく、置き換えられよう。窒化物の実施例では、キャップ86は50-500オングストローム厚でよい。本発明のスコープから外れることなしに、キャップ86はその他の材料を含み、また/あるいはその他の形状に構成できることを理解されよう。

【0054】第2の使い捨てゲート28を覆って、第2置換層90が形成されよう。置換層70に関連して既に説明したように、第2置換層90は、第2の使い捨てゲート28の置換可能区分32の置換可能材料と置き換わることのできる置換材料を含むことができる。従って、置換可能材料は第2トランジスタのゲート材料となるであろう。p形およびn形トランジスタに対して、置換材料は、アルミニウム、アルミニウム・チタン等の複合材料、あるいはその他置換可能材料と置き換わることのできる適当な材料を含むことができる。アルミニウム材料は、その仕事関数、シート抵抗値、および低ゲート空乏化特性のために、特にn形トランジスタ用として好適である。他の仕事関数、シート抵抗値、およびゲート空乏化特性を有する置換材料は、p形トランジスタ用として好適であろう。p形およびn形トランジスタが、第2の使い捨てゲート構造28の置換可能区分32の置換可能材料の代わりに置き換わることのできるその他の置換材料を含むことができることを理解されよう。

【0055】一実施例では、第2置換層90が、平坦化層60、第2の使い捨てゲート28、およびキャップ86を覆って堆積されよう。この特別な実施例では、第2置換層90は、1,500-2,500オングストロームの置換可能区分厚32に対して、2,000-4,000オングストローム厚に堆積されよう。本発明のスコープから外れることなしに、第2置換層90は、第2の使い捨てゲート28の除去可能区分32の所望部分と置

き換わるのに十分な置換材料を含むその他の厚さにまで堆積されよう。

【0056】もし第1ゲート構造80を覆ってキャップ86が使用されなければ、第2置換層90をバーニングおよびエッチして、第1ゲート構造80の上部88が再露出されよう。従って、第2置換層90の置換材料は、第2の使い捨てゲート28の除去可能区分32の置き換えの間、第1ゲート構造80と相互作用しない。この特別な実施例では、第2置換層90はバーニングおよびエッチされて、本質的に第2の使い捨てゲート28のみを覆う部分92が残されよう。本発明のスコープから外れることなしに、第2置換層90は、第1ゲート構造80および第2使い捨てゲート28に対してその他の形状に構成できることを理解されよう。

【0057】第1の使い捨てゲート26に関連して既に述べたように、第2の使い捨てゲート構造28の置換可能材料の少なくとも一部が、第2置換層90の置換材料によって置き換えられよう。この置き換えの間に、第2置換層90の置換材料は矢印94で示されるように第2の使い捨てゲート28の置換区分32まで移動しており、また置換可能区分32の置換可能材料は矢印96で示されるように、第2置換層90にまで移動してきている。置換可能材料は置換材料によって、完全あるいは部分的に置き換えられて、第2ゲート構造100が形成されよう。好ましくは、置換可能材料は置換材料によって、完全にあるいは少なくとも本質的に置き換えられる。

【0058】一実施例では、置き換えを加速するために、置換および置換可能材料が熱的にアニールされよう。この特別な実施例では、置換および置換可能材料は、摄氏約400-500度において約15ないし90分間、熱的にアニールされよう。本発明のスコープから外れることなしに、置換および置換可能材料はその他のやり方で、熱的にアニールおよび/または置き換えできることを理解されよう。

【0059】従って、第2ゲート構造100は、一般に使い捨てゲート技術に付随するバーニングおよびエッティングなしで形成できることになる。この結果、ゲート誘電体は損傷を受けず、置換する必要がない。このように、ゲート誘電体を再成長または改修することに関連する問題、例えば、厚さ、均一性、およびスロット幅の拡大等の問題は回避されよう。更に、第2ゲート構造100は好ましい仕事関数、シート抵抗値および低ゲート空乏化レートを備える材料を含むことができる。

【0060】図1Hを参照すると、置換可能材料の代わりの置換材料の置き換えの後で、第2置換層90まで移動している置き換えられた置換可能材料が除去されよう。一実施例では、この半導体構造は平坦化されて、置き換えられた置換可能材料およびキャップ86と一緒に残りの第2置換層90が除去されよう。この実施例で、

半導体構造10は化学的・機械的研磨(CMP)または同様な手法によって平坦化することができる。本発明のスコープから外れることなしに、残りの第2置換層90、置き換えられた材料、およびキャップ86はその他のやり方で除去できることを理解されよう。ゲートがサリサイド化される実施例に対しては、窒化物等の層がサリサイド領域を覆って形成されよう。窒化物層は化学的・機械的研磨(CMP)処理の間に容易に除去されない。従って、化学的・機械的研磨(CMP)工程はサリサイド化領域に損傷を与える、更に/またはそれを除去しない。サリサイド化領域は、化学的・機械的研磨(CMP)またはその他の平坦化プロセスの間に、その他のやり方でも保護できることを理解されよう。

【0061】ゲート構造100は、バッファ区分30によって形成されたゲート誘電体102と、第2置換材料を含むゲート母体104とを含むことができる。本発明のスコープから外れることなしに、ゲート構造100はその他の形状に構成できることを理解されよう。一実施例では、第1および第2置換可能材料は両方とも同じ材料を含むことができる。この場合には、使い捨てゲート母体構造26および28は、单一の置換層でて同時に置き換えられよう。この実施例では、両使い捨てゲート母体構造26および28が置き換えられるので、保護キャップを使用する必要はなく、また置換層をバーナーニングおよびエッチする必要もない。

【0062】一実施例では、ゲート母体104は、エッチしてT型ゲートに、および/または平坦化して非T型ゲートに加工されよう。非T型ゲート上への選択的エピタキシャル堆積等の方法によって、エピタキシャル的なオーバーグロースによるT型ゲートの形成が可能である。ゲート母体104はn形の第2トランジスタの動作を最大化するように選ばれた材料を含むことができる。一実施例では、ゲート母体104はアルミニウムおよび同様な材料を含むことができる。本発明のスコープから外れることなしに、第2ゲート母体104はその他の適当な材料を含むことができることを理解されよう。

【0063】キャップを被せて、使い捨てゲート構造のすべてまたは少なくとも一部分を置き換えることを繰り返すことによって、任意の複数個のトランジスタが置換形成されたゲート母体を有するようになる。トランジスタは相補型トランジスタでも、あるいは同じタイプのものでもよい。更に、トランジスタのソースおよびドレインは独立的に形成することができ、その場ドープされた材料を含むことができる。

【0064】相補型トランジスタに関しては、n形およびp形ゲートはそれに付随するゲート仕事関数を持ち、それはトランジスタのスレッシュルド電圧を部分的に決定する。トランジスタのスレッシュルド電圧は、ゲートの仕事関数、半導体の仕事関数、およびトランジスタチャネル領域中のドーパント濃度を含む因子によって決

まる。

【0065】ゲート誘電体の厚さが減少すると、トランジスタチャネル領域中のドーパント濃度は、トランジスタのスレッシュルド電圧を所望の値へ変化させるために本質的に増大する。誘電体の厚さがゼロの極限では、トランジスタチャネル領域中のドーパント濃度はスレッシュルド電圧を所望の値に変化させるために、無限大ドーパント濃度の限界へ接近するであろう。このように、ゲート誘電体の厚さが減少すると、トランジスタのスレッシュルド電圧をドーパント濃度で制御することは益々困難となることが理解される。従って、異なる応用に対して、トランジスタのスレッシュルド電圧またはオフ電流は、現在行われているようにドーパント濃度のみによって行うではなく、部分的にゲート仕事関数によって調節されることが期待されよう。

【0066】異なるゲート材料またはゲートタイプは、トランジスタのスレッシュルド電圧を部分的に決定できるゲート仕事関数も、それに付随して異なっており、スレッシュルド電圧を制御するためにドーパント濃度を使用することの困難さもあって、異なるスレッシュルド電圧を要求するトランジスタに対しては、ゲート材料またはゲートタイプをそのトランジスタ毎に変更して、回路中のトランジスタのゲート材料に多様な材料を適宜使用することによって、回路中のトランジスタのスレッシュルド電圧を変化させることができることが部分的に認められている。更に、異なるゲート材料またはゲートタイプの応用は、相補的なn形およびp形のトランジスタを含み、n形およびp形トランジスタに対して異なるスレッシュルド電圧が所望されるCMOS回路のためのもの

30 ではあるが、CMOS回路の応用としてはn形およびp形トランジスタに関して単に異なるスレッシュルド電圧以上のものが要求されることも認識されている。むしろ、それ以上に、特別なn形トランジスタではそれ自身が回路の異なる場所において異なるスレッシュルド電圧を有するように、特別なn形トランジスタは低いスレッシュルド電圧を有し、特別なn形トランジスタは高いスレッシュルド電圧を有するようになることが求められている。同様に、特別なp形トランジスタではそれ自身が回路の異なる場所において異なるスレッシュルド電圧を有するように、特別なp形トランジスタは低いスレッシュルド電圧を有し、特別なp形トランジスタは高いスレッシュルド電圧を有するようになることが付加的に求められている。このように、所望のスレッシュルド電圧に設定するために多様なゲート材料を使用することは、与えられた回路応用の必要に応じて、相補型トランジスタでも非相補型トランジスタでも行われよう。

【0067】上の説明は、主として、スレッシュルド電圧を設定するために与えられたゲート仕事関数を有するゲート材料またはゲートタイプを使用することに関するものであったが、ゲート材料がゲートのシート抵抗値に

も大きく影響することも同様に理解される。例えば、金属ゲートのシート抵抗値は半導体材料のそれよりも大幅に低く、またサリサイド被覆ゲート材料のそれよりも低いであろう。ゲートのシート抵抗値には、ゲートの高さに沿っての垂直方向電流経路による抵抗寄与のほかに、ゲート長に沿っての横方向電流経路の抵抗寄与が含まれていることを指摘しておく。

【0068】ゲートのシート抵抗値は、特別な回路にとって、あるいは回路の特別な場所にとって非常に重要である。更に、回路中の、あるいは回路の特別な場所におけるゲートのシート抵抗値は、1つのタイプ例えばnMOSデバイスにとって、あるいはpMOSを含む別のタイプのデバイスにとって非常に重要である。いくつかの応用に対して、特別なRF回路においてそうであるように、デバイスのゲートのシート抵抗値のほうが回路のスレッショルド電圧よりも回路機能にとって重要であるということである。更に注意すべきことは、ゲートのシート抵抗値は、ゲート長に沿っての横方向の電流経路が、大きい全ゲート抵抗値を導入し回路全体の特性を劣化させるような幅広いデバイスにとって更に重要であるということである。

【0069】低いゲートシート抵抗値を要求するデバイスは、従来の使い捨てゲート技術に用いられているような手段によって、あるいはここに述べた置き換え方式のゲート技術の手段によって、新しいゲート材料を採用することができる。例えば、置換可能ゲート材料をA1で置き換えることによって、サリサイド化n形ポリシリコンよりも低いゲート抵抗値を得ることができ、またn形ポリシリコンゲートデバイスのその～0.2V内のスレッショルド電圧を得ることができる。p形ポリシリコンゲートのpMOSFETのゲートを置き換える場合には、A1による置き換えによってスレッショルド電圧を～1.0Vだけシフトさせることができる一方で、特定の応用では、pMOSのV_tにおけるこの増加が、p形ポリシリコンゲートから金属A1ゲートへの変更によるゲートシート抵抗値の減少ほどには重要でないこともある。

【0070】本発明に従えば、特別な回路場所における相補型デバイスが第1のゲート材料を含み、他方、異なる回路場所における相補型デバイスは別のゲート材料を含むことができる。同様に、特別な回路場所における第1のタイプのデバイスが第1のゲート材料を含み、一方、異なる回路場所における同じタイプの別のデバイスは別のゲート材料を含むことができる。更に、回路の1つの場所にある、回路遅延がゲート抵抗値によって支配されていないデバイスが第1のタイプのゲート材料を含み、第1の特別なドーバントタイプのものであり、他方、ゲート抵抗値が回路遅延の支配的な要因である、1つの回路場所におけるデバイスは別のゲート材料を含む。

【0071】本発明はいくつかの実施例に関して説明してきたが、各種の変更および修正が当業者に対して示唆されよう。本発明は、そのような変更および修正が本発明の特許請求の範囲に含まれるものとして解釈されるべきである。

【0072】以上の説明に関して更に以下の項を開示する。

(1) 半導体デバイスを作製する方法であって、半導体層の第1領域を、前記半導体層の第2領域から分離する工程、前記半導体層の前記第1領域を覆って、第1トランジスタ用の、置換可能材料を含む第1の使い捨てゲート構造を形成する工程、前記半導体層の前記第2領域を覆って、第2トランジスタ用の第2の使い捨てゲート構造を形成する工程、前記第1の使い捨てゲート構造を覆って、置換材料を含む置換層を形成する工程、および前記第1の使い捨てゲート構造の前記置換可能材料の少なくとも一部分を、前記置換層の前記置換材料で以て置き換えて、第1ゲート構造を形成する工程、を含む方法。

【0073】(2) 第1項記載の方法であって、前記置換可能材料の少なくとも一部分を前記置換材料で以て置き換える前記工程が、更に、前記置換および置換可能材料を熱的にアニールする工程を含んでいる方法。

【0074】(3) 第1項記載の方法であって、前記置換可能材料の少なくとも一部分を前記置換材料で以て置き換える前記工程が、更に、前記置換および置換可能材料を攝氏約400～500度で、約15ないし90分間、熱的にアニールする工程を含んでいる方法。

【0075】(4) 第1項記載の方法であって、ここにおいて、前記置換可能材料の前記一部分が前記置換可能材料の本質的すべてを含んでいる方法。

【0076】(5) 第1項記載の方法であって、更に、前記第1および第2領域を覆って、前記第1および第2の使い捨てゲート構造の少なくとも一部分を露出する平坦化層を形成する工程、前記第2の使い捨てゲート構造の露出部分を覆ってキャップを形成する工程、前記置換層を形成する前記工程であって、更に、前記平坦化層、前記第1の使い捨てゲート構造の露出部分、および前記キャップを覆って前記置換層を堆積させる工程を含んでいる工程、前記第1の使い捨てゲート構造の前記置換可能材料の少なくとも一部分を前記置換材料で以て置き換える前記工程であって、更に、前記置換および置換可能材料を熱的にアニールする工程を含んでいる工程、を含む方法。

【0077】(6) 第1項記載の方法であって、更に、前記第1および第2領域を覆って、前記第1および第2の使い捨てゲート構造の少なくとも一部分を露出する平坦化層を形成する工程、前記置換層を形成する前記工程であって、前記第1および第2の使い捨てゲート構造の露出部分を覆って前記置換層を形成する工程を含んでいる工程、前記第2の使い捨てゲート構造の前記露出部分

を再露出するために、前記置換層をバーニングおよびエッチする工程、前記第1の使い捨てゲート構造の前記置換可能材料の少なくとも一部分を前記置換材料で以て置き換える前記工程であって、更に、前記置換および置換可能材料を熱的にアニールする工程を含んでいる工程、を含む方法。

【0078】(7) 第1項記載の方法であって、ここにおいて、前記置換可能材料が多結晶シリコンを含んでいる方法。

【0079】(8) 第1項記載の方法であって、ここにおいて、前記置換材料がアルミニウムを含んでいる方法。

【0080】(9) 第1項記載の方法であって、ここにおいて、前記第2の使い捨てゲート構造が第2置換可能材料を含んでおり、更に、前記第2の使い捨てゲート構造を覆って、第2置換材料を含む第2置換層を形成する工程、および前記第2の使い捨てゲート構造の前記第2置換可能材料の少なくとも一部分を、前記第2置換層の前記第2置換材料で以て置き換える工程、を含む方法。

【0081】(10) 第9項記載の方法であって、ここにおいて、前記第1および第2置換可能材料が同じ材料を含んでいる方法。

【0082】(11) 第1項記載の方法であって、前記第1および第2の使い捨てゲート構造を形成する前記工程が、更に、前記第1の使い捨てゲート構造の置換可能区分の前記置き換えの間に、前記半導体層の置き換えを防止するように機能するバッファ区分を、前記半導体層を覆って形成する工程、および前記バッファ区分を覆って、前記置換可能材料を含む、前記第1の使い捨てゲート構造の前記置換可能区分を形成する工程、を含んでいる方法。

【0083】(12) ロジックは、半導体層の第1領域を半導体層の第2領域から分離することによって作製される。第1ロジック用の第1の使い捨てゲート構造が、半導体層の第1領域を覆って形成されよう。第1の使い捨てゲート構造は置換可能材料を含むことができる。半導体層の第2領域を覆って第2の相補型ロジックの第2の使い捨てゲート構造が形成される。第1の使い捨てゲート構造を覆って置換層が形成される。置換層は置換材料を含むことができる。第1の使い捨てゲート構造の置換可能材料の少なくとも一部分が置換層の置換材料で以て置き換えられて、第1ゲート構造が形成される。

【図面の簡単な説明】

【図1】AないしHは、本発明の一実施例に従って、置換法によって形成されるゲート構造を有する相補型トランジスタの製造工程を示す一連の模式的断面図。

【符号の説明】

10	半導体構造
12	半導体層
14	分離構造
16	第1領域
18	第2領域
20	n形ウエル
22	p形ウエル
26	第1の使い捨てゲート構造
28	第2の使い捨てゲート構造
30	バッファ区分
31	バッファ層
32	置換可能区分
34	キャップ区分
40	絶縁層
42	第1側壁絶縁体
44	ソース
46	ドレイン
50	第2側壁絶縁体
52	マスク層
54	ソース
56	ドレイン
60	平坦化層
62	第1の使い捨てゲート構造の一部分
64	第2の使い捨てゲート構造の一部分
66	キャップ
70	置換層
72	残存部分
80	第1ゲート構造
82	ゲート誘電体
84	ゲート母体
86	キャップ
88	露出部分
90	第2置換層
92	残存部分
100	第2ゲート構造
102	ゲート誘電体
104	ゲート母体

【図1】

